

PATENT ABSTRACT

(11) Publication number: 58-80694

(43) Date of publication of application: 14.05.1983

(21) Application number: 56-179300

(22) Date of filing: 09.11.1981

(71) Applicant: NEC CORPORATION

(72) Inventor: Masatoshi Shimizu

(74) Patent Attorney: Shin Uchihara

(54) Title of Invention: DISPLAY DEVICE

(57) Abstract:

A display device that performs refresh driving in a line-sequential way has three input lines: data signal, clock signal, and synchronization signal. Address signal, control signal, and line signal are send sequentially to the data signal input lines in a serial way, which are separated in an address control detection circuit controlled by the synchronization signal and the clock signal. When the input address signal matches an address previously set in the display device, corresponding control signal and line signal would be recorded in the display device. Line display is then performed for one line in response to a line signal recorded in a line location specified by the recorded control signal.

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—80694

⑥ Int. Cl.³
G 09 G 3/20
G 06 F 3/147
H 04 N 5/66

識別記号

庁内整理番号

6453—5C
7218—5B
7735—5C

⑬ 公開 昭和58年(1983)5月14日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 表示装置

東京都港区芝五丁目33番1号日
本電気株式会社内

⑯ 特 願 昭56—179300

⑰ 出 願 人 日本電気株式会社

⑱ 出 願 昭56(1981)11月9日

東京都港区芝5丁目33番1号

⑲ 発 明 者 清水正敏

⑳ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

表示装置

2. 特許請求の範囲

繰順次方式によってリフレッシュ駆動する表示装置において、データ信号、クロック信号及び同期信号の3本の入力線を有し、前記データ信号入力線にシリアルに順次送られてくるアドレス信号、コントロール信号及びライン信号の3種の信号を前記同期信号とクロック信号により制御されるアドレスコントロール検出回路で分離し、前記表示装置内においてあらかじめ設定されたアドレスと入力されるアドレス信号が一致した場合のみ対応するコントロール信号とライン信号を前記表示装置内部に記録し、記録されたコントロール信号によって指定されたライン位置に記録されたライン信号に対応して1ライン分のライン表示を行なうことを特徴とする表示装置。

3. 発明の詳細な説明

本発明は、時分割駆動法で駆動している表示装置の制御装置に関する。

繰順次によって時分割駆動される(以下リフレッシュドライブ法という)表示装置はかのかのリフレッシュ電極ごとに対応したリフレッシュメモリーを有し、リフレッシュ電極を走査すると同時に前記リフレッシュメモリーも走査しリフレッシュメモリーの内部情報をそのまま、又はデコードして表示器に加え所望の表示を得ている。このリフレッシュする早さはちらつき現象をさけるため毎秒60回以上にする必要がある。以上の説明でもわかるようにこの表示器の表示内容を変えるにはリフレッシュメモリーの内容を変えれば良い。

このような表示装置を造方に配備する場合次のような2つの方法がある。

1つは表示器のみを造方にかき、リフレッシュメモリー部を本体に置く方法である。この方法は簡単であるが表示器から出る線材の本数が多く、(表示電極+リフレッシュ電極分必要である)特

に表示器が10数メートルも離れると配線が大変になるという欠点がある。

もう1つの方法は、リフレッシュメモリ部を表示器のそばに置く方法である。

このようにすると前記第1の方法の欠点がカバーされ、かつコントロール回路は複雑になるが1本の信号線だけでも、制御が可能となる。この場合は表示内容を書き替えるときだけセンター側から表示部に信号を送ってやれば良い。しかしながらこの方法はセンター側で送っているデータと実際に表示器が表わしているデータが一致しているかどうか判定することが非常に困難である。特に伝送終了後にメモリ内のデータがノイズ等により化けてしまった場合は、重大な問題となる。このような欠点をカバーすべくセンター側は時々リフレッシュメモリの内容を表示データの更新がなくても更新してやらねばならないという欠点がある。

本発明の目的は、上記第1,第2の方法の欠点に鑑みて、リフレッシュ用のメモリは本体側に有

し、伝送線をデータ、クロック、同期信号の3本とし表示器を本体から50m位離すことも可能な表示装置を提供することにある。

本発明によれば順次方式によってリフレッシュ駆動する表示装置において、データ、クロック及び同期信号の3本の入力線を有し、データ入力線にシリアルに順次送られてくるアドレス、コントロール及びラインの3種の信号を同期信号とクロック信号により制御されるアドレス、コントロール検出回路で分離し、表示装置内において、あらかじめ設定されたアドレスと入力されるアドレス信号が一致した場合のみ対応するコントロール信号とライン信号を表示装置内部に記録し、記録されたコントロール信号により指定されるライン位置に、記録されたライン信号に対応して1ライン分のライン表示を行なうとき表示装置が得られ、入力線をバス接続して複数の表示器を並列接続しても、アドレス、コントロール及び表示信号を一組にして送ることにより複数の表示器のアドレス設定を各々変えれば別々の表示も可能と

することにより目的を達成したものである。

次に本発明の実施例を説明する。

第1図は本発明の実施例を示す構成図である。

第1図において1はアドレス、コントロール検出回路、2はアドレス比較回路、3はアドレススイッチ、4はデータ数カウント回路、5はデータレジスタ、6はリフレッシュカウンタ、7はデコーダ、8はデータドライバ、9はリフレッシュドライバ、10は表示器である。

第2図は本発明の表示装置に入力される信号のタイムチャートである。

第2図からわかるようにDATA信号ラインにはアドレス、コントロール及び表示データを示す3種類の信号が入力される。このうちアドレス、コントロール信号を検出するのがアドレス・コントロール検出回路1である。アドレス・コントロール回路1で検出されたアドレス信号はアドレス比較回路2に送られアドレススイッチ3で設定されたアドレスと等しいかどうか比較される。もしアドレスが一致しなければ何も実行しないで次の

アドレス信号が来るまで待機している。アドレスが一致した場合は、次に送られて来るデータが次の桁か又は表示の先頭のデータかをコントロールコードで判定してデータ数カウント回路4にカウンタスタートパルスを出力する。カウンタスタートパルスを受けたデータ数カウント回路4は、データドライバの数に相当するデータ信号をデータレジスタに取り込むためのクロック信号及びフラッシュ信号を出力し、リフレッシュカウンタ6に桁上げ信号を出力する。リフレッシュカウンタ6は、コントロールコードを判定して表示を先頭にもどすならカウンタをリセットしその他ならデータ数カウント回路からの桁上げ信号を受けてカウンタアップを行い信号をデコーダ7に出力する。デコーダ7はリフレッシュカウンタ6より出力された信号をデコードしてリフレッシュドライバ9に出力する。リフレッシュドライバ9はデコーダ7から出力された信号を表示器の電圧に合わせた電圧に増幅し表示器10に加える。一方データレジスタ5から出力されたデ

データ信号はデータドライバー8で同じく表示器用の電圧に増幅され表示器10に加えられる。このようにして表示器10は所望の表示を行うことができる。以上が本発明の表示装置の構成である。次に第3図を用い本発明によるアドレス・コントロール検出回路、アドレス比較回路、データ数カウント回路の部分を詳細に説明する。この回路はシフトレジスタ101, 102とラッチ103, 104とインバータ105, 106, 111, 118とイタスタルシープオアゲート109とスイッチ回路108とアンドゲート107, 110, 115とカウンタ114, 119とS・Rフリップフロップ112, 113とオアゲート116及びJ-Kフリップフロップ117より構成される。

シフトレジスタ101には、アンドゲート107によってアドレス・コントロール期間のクロックがクロック入力端(CK)に加えられ、このクロックによってアドレス・コントロールのデータが入力される。この入力されたアドレス・コントロールのデータはラッチ103に送られ、次のアド

レス・コントロール信号が入力されるまで保持される。ラッチ103に保持されたアドレス情報はアドレス比較回路109に送られ、スイッチ回路108で設定された情報と比較され一致していれば負の信号を一致していなければ正の信号を、オアゲート116に出力する。オアゲート116にアドレス比較回路109から負の信号が入力されると、カウンタ114はカウントを開始する。所要数カウントするとフリップフロップ113がセットされ、その出力がアンドゲート110に接続されているのでそれ以上のカウントを停止する。このようにカウンタ114がカウントする間のクロックがデータ用シフトレジスタ102に加えられるのでシフトレジスタ102には、その間の表示データが入力される。シフトレジスタ102に入力された表示データは、フリップフロップ113がカウンタ114の動作を停止すると同時にラッチ104に移される。フリップフロップ113とアンドゲート115はカウンタ114が表示データ以外のデータをカウントしないように

入れられる。カウンタ114の出力はフリップフロップ113をセットすると同時にリフレッシュカウンタ119とJKフリップフロップ117に加えられる。JKフリップフロップ117は、ラッチ103のコントロールコードを判定し、コントロールコードが表示を先頭にもどすコードなら、リフレッシュカウンタ119をリセットし、その他ならリフレッシュカウンタ119をカウントアップさせる。このような動作によりそれぞれのドライバーを通じて表示器に所望の表示をさせることが出来る。

以上のように第3図のような構成の制御部を有する表示装置においては入力線は、データ、クロック及びシンク(同期信号)の3本のみでメモリー部を遠方に置くこともなく数十メートルも本体から離して設置出来る表示装置を得ることが出来る。

4. 図面の簡単な説明

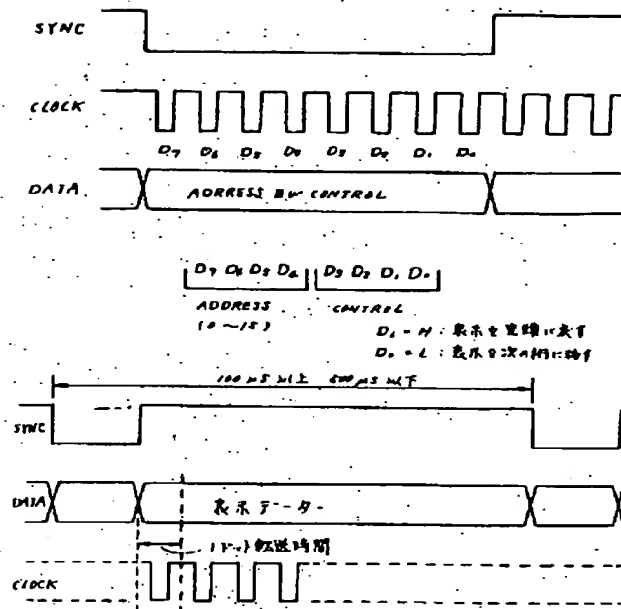
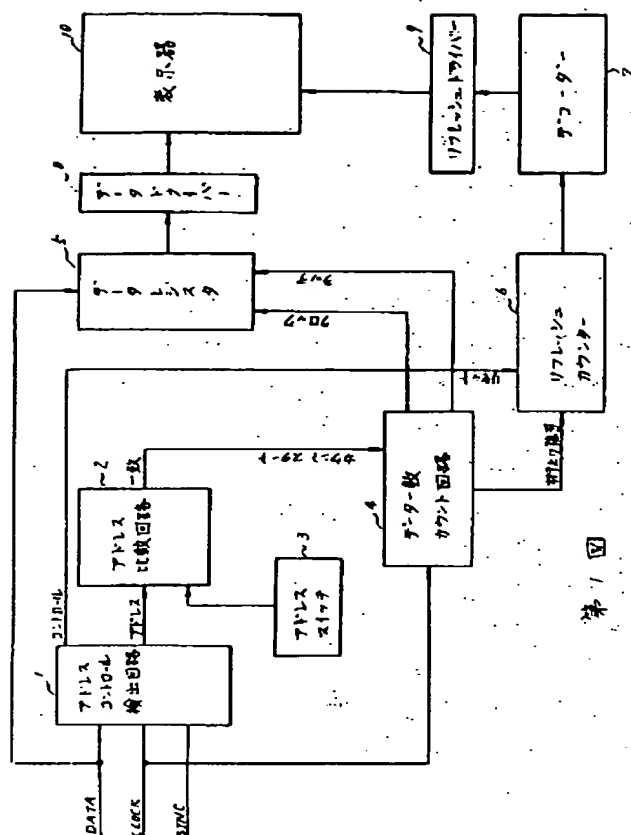
第1図は本発明の表示装置の全体構成図である。

第2図は本発明の表示装置に入力される信号の例である。

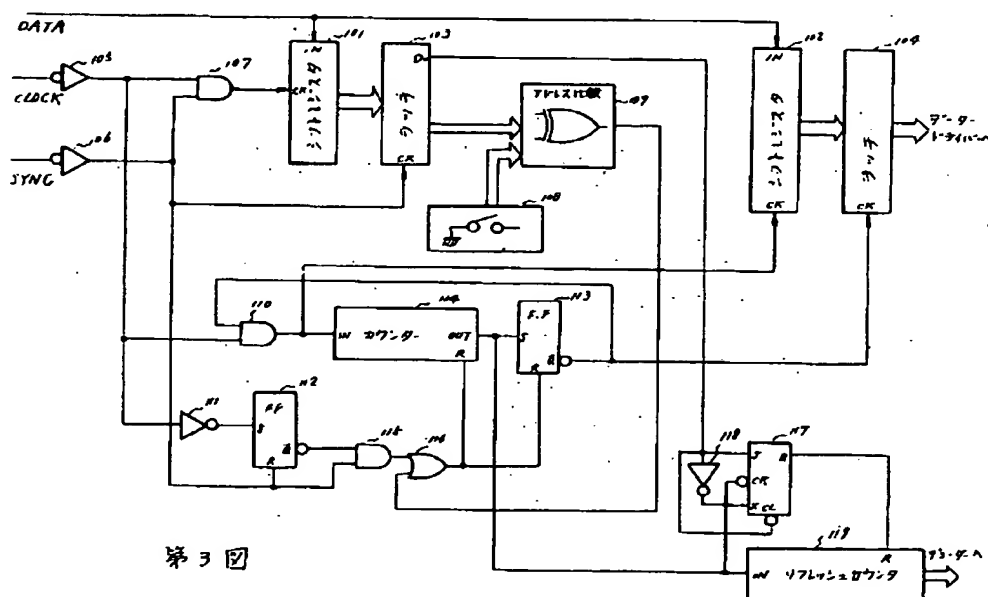
第3図は本発明の表示装置の制御部の構成図である。

代理人 弁護士 内 原 晋





第 2 圖



第 3 図